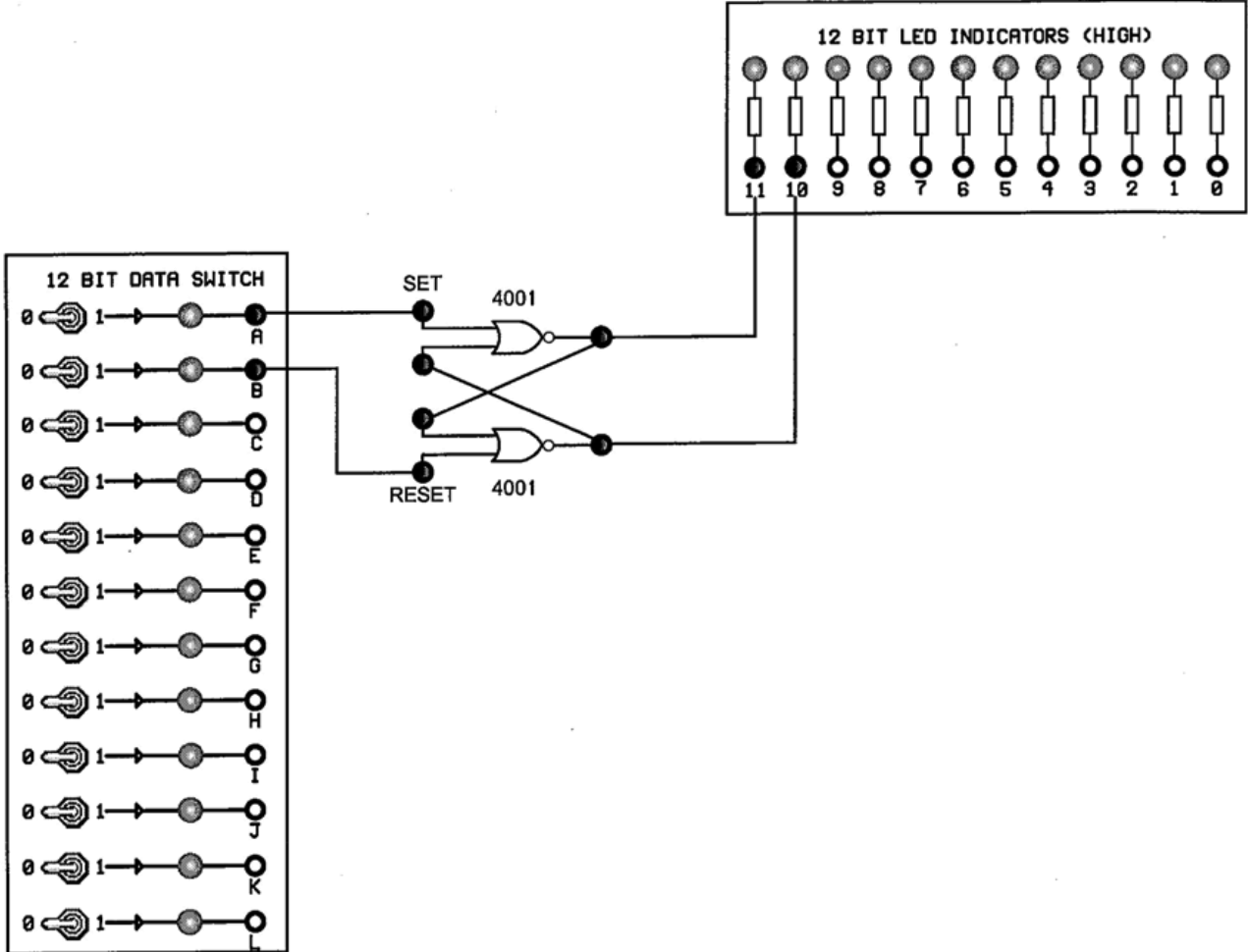


**DENEY NO : 18****DENEY ADI : NOR ( VEYA-DEĞİL ) KAPILARINDAN OLUŞAN  
R-S FLİP-FLOP****Deneyde Kullanılacak Set:**

1- Y-0020-01 Dijital Deney Seti



Şekil 18.3

SIRA	GİRİŞ		ÇIKIŞ	
	S	R	Q	Q'
1	0	1		
2	0	0		
3	1	0		
4	0	0		
5	1	1		

Tablo. 18.1

### Deneyin Yapılışı :

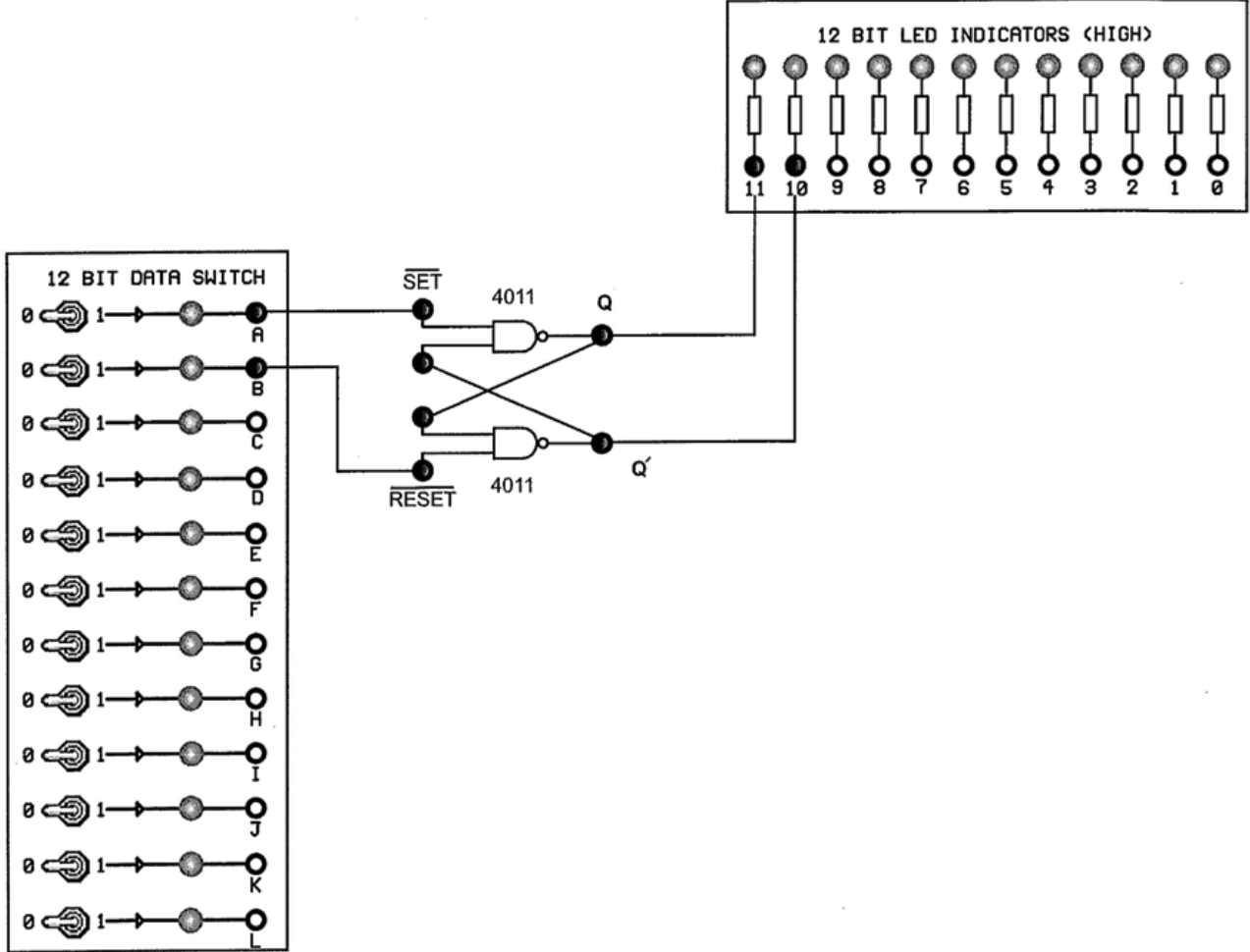
1. Deneyi Şekil 18.3 ' deki gibi kurunuz. Gücü uygulayınız.
2. A ve B anahtarlarını kullanarak Tablo 18.3' de verilen S-R giriş değerlerini uygulayarak Q çıkışını LED displayden izleyerek, Tablo 18.3 ' e kaydedin.
3. Tablo 18.3 'deki sonuçlara göre;
  - a) Çıkışlar her zaman birbirinin tersi midir?

- b)  $S=1$  olduğunda, her zaman  $Q=1$  oluyor mu? Niçin ?

- c)  $R=0$  olduğunda, her zaman  $Q=0$  oluyor mu?
- d)  $S=0, R=0$  olduğunda Q aynı kalıyor mu?
- e) Tablodaki sonuçları ön bilgide verilen bilgilerle karşılaştırın. Aynı mı ?

**DENEY NO :19****DENEY ADI : NAND ( VE-DEĞİL ) KAPILARINDAN OLUŞAN  
R-S FLİP FLOP****Deneyde Kullanılacak Set:**

1- Y-0020-01 Dijital Deney Seti



Şekil 19.1

SIRA	GİRİŞ		ÇIKIŞ	
	S'	R'	Q	Q'
1	0	1		
2	0	0		
3	1	0		
4	0	0		
5	1	1		

Tablo 19.1

\* Önceki durum korunur.

### Deneyin Yapılışı :

1. Devreyi Şekil 19.1 ' deki gibi kurun. Gücü uygulayın.
2. A ve B anahtarlarını kullanarak Tablo. 19.1' de verilen S-R giriş değerlerini uygulayarak Q çıkışını LED displayden izleyerek sonuçları Tablo 19.1 'e kaydedin.
3. Tablo 19.1 ' deki sonuçlara göre;
  - a) Çıkışlar her zaman birbirinin tersimidir ?

- b)  $S' = 0$  olduğunda  $Q = 1$  oluyor mu?

- c)  $R' = 0$  olduğunda  $Q=0$  oluyor mu? Niçin ?

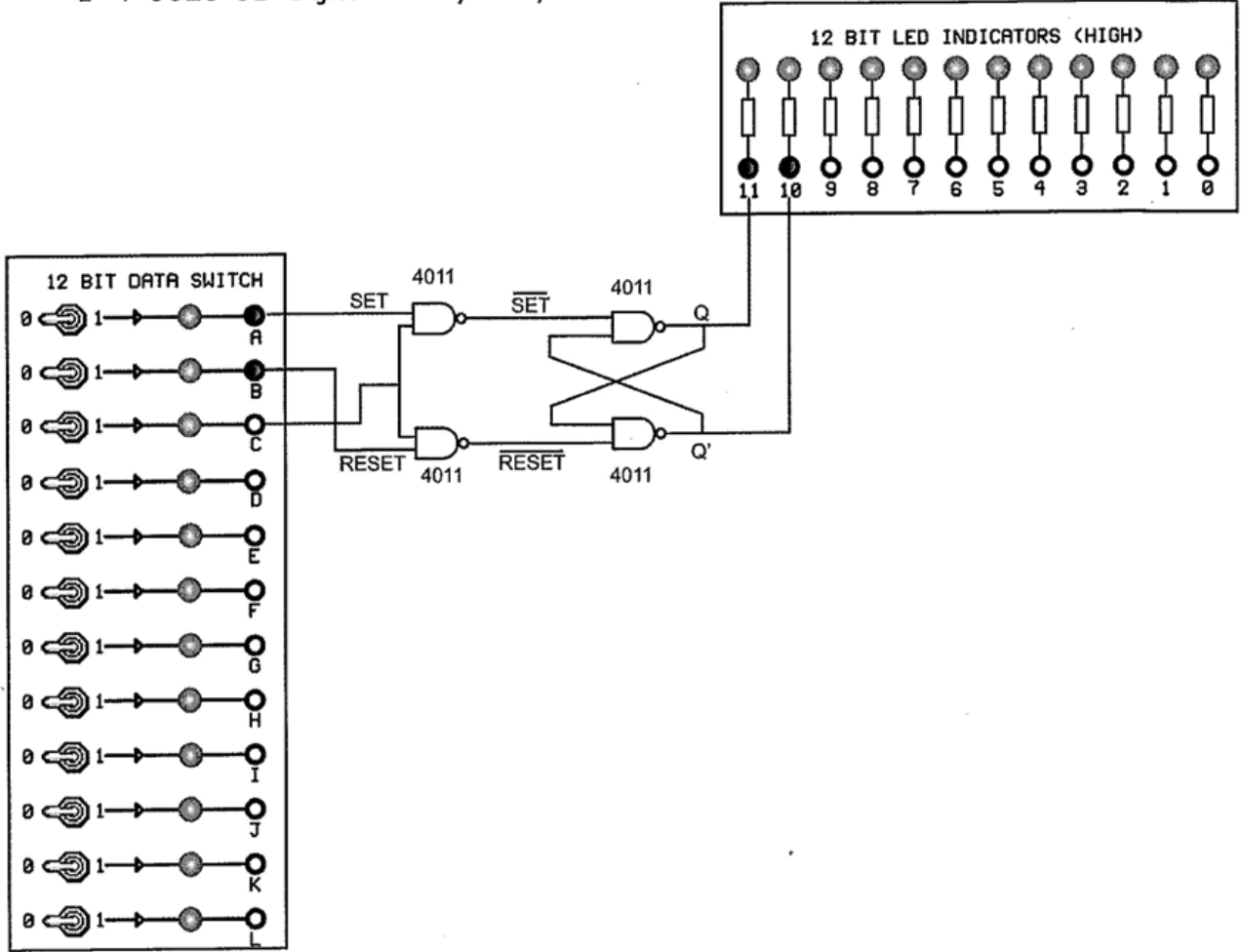
- d)  $S' = 1$  ,  $R' = 1$  olduğunda Q her zaman bir önceki durumunu koruyor mu?

**DENEY NO :20**

**DENEY ADI : SAATLİ R-S FLİP FLOP**

**Deneyde Kullanılan Set :**

1- Y-0020-01 Dijital Deney Seti,



Şekil 20.1

CLOCK	GİRİŞ		ÇIKIŞ	
	S	R	Q	Q'
0	x	x		
1	0	1		
1	0	0		
1	1	0		
1	0	0		
1	1	1		

Tablo 20.1

\* Önceki durum korunur.

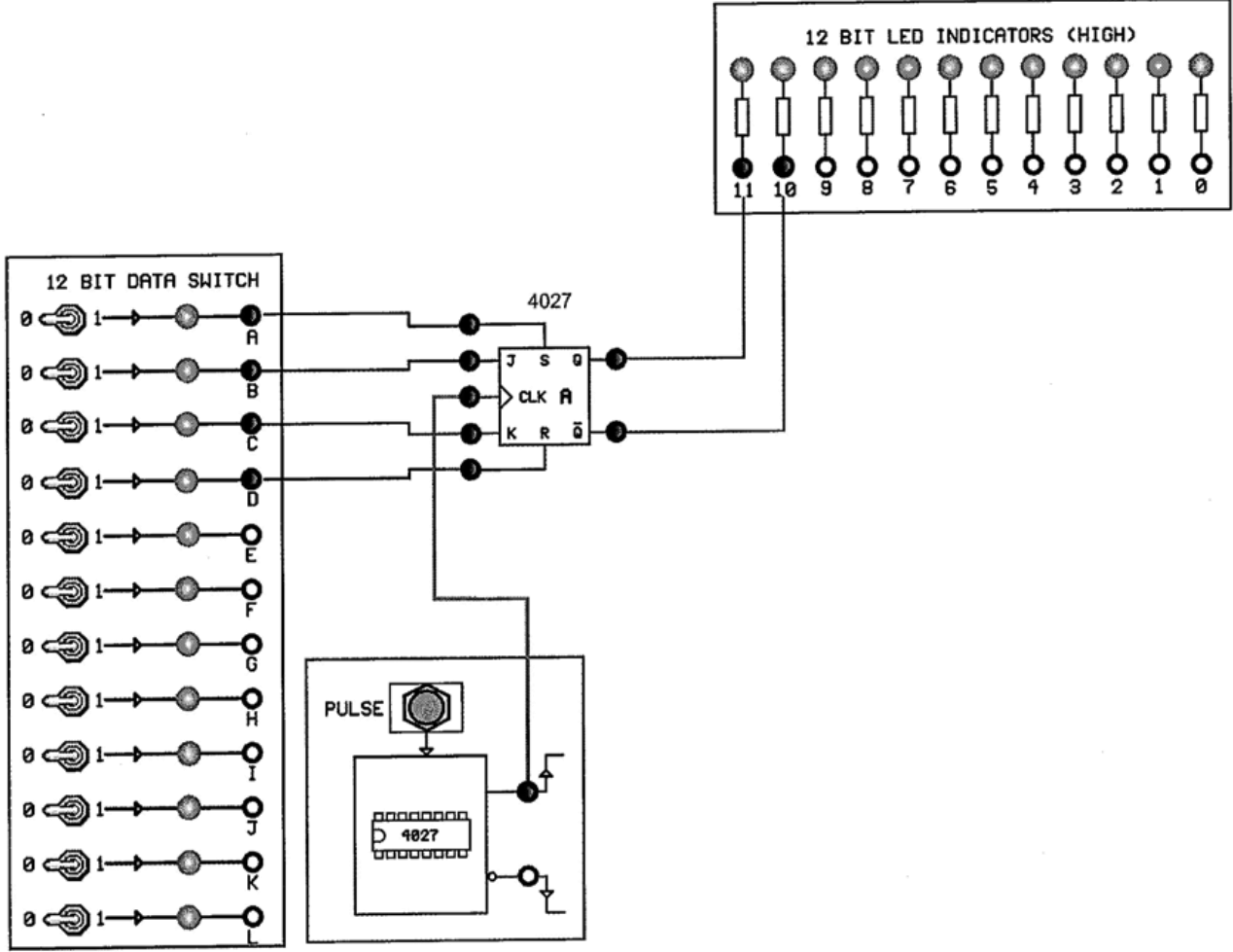
### **Deneyin Yapılışı :**

1. Devreyi Şekil 20.1' deki gibi kurun. Gücü uygulayın.
2. A, B ve Clock palsi için C anahtarlarını kullanarak Tablo 20.1' de verilen R-S giriş değerlerini uygulayarak çıkışları LED displayden izleyip sonuçları Tablo 20.1' e kaydediniz.
3. Tablo 20.1' deki sonuçlara göre;
  - a) S-R girişindeki değişiklikler çıkışa ne zaman yansıyor? Açıklayınız.

- b) Clk "0" verildiği sürece girişteki değişiklikler çıkışı niçin etkilemiyor?

**DENEY NO: 21****DENEY ADI: J-K TİPİ FLİP-FLOP ' UN İNCELENMESİ****Deneyde Kullanılacak Set:**

1- Y-0020-01 Dijital Deney Seti,



Şekil 21.4

KONTROL		GİRİŞLER			ÇIKIŞ		AÇIKLAMA
SET	RESET	J	K	CLOCK	Q	Q'	
1	1	X	X	X			
1	0	X	X	X			
0	1	X	X	X			
0	0	0	0	1			
0	0	0	1	1			
0	0	1	0	1			
0	0	1	1	1			
0	0	0	0	1			

Tablo 21.2

### Deneyin Yapılışı:

1. Devreyi Şekil. 21.4 ' deki gibi kurunuz ve gücü uygulayınız.

2. Tablo 21.2 'da ki SET, RESET, J-K, Clk' değerlerini kullanarak Q çıkışını gözleyip ilgili haneye yazınız. ( X ) Görülen yerler fark etmez değerlerdir. "1" veya "0" olabilir.

**NOT: Clk palsi her dizide en son verilmelidir.**

3. Tablo 21.2 ' da ki sonuçlara göre;

a.) J-K girişlerinin her ikisi de "0" iken Clk geldiği zaman FF eski durumunu koruyor mu?

b.) Clk girişi "1" den "0" a indiğinde FF tetikleniyor mu?

c.) Tablo 21.2 ' de ki sonuçlarla 4027 tümleşik devresi JK FF gerçeklik tablosu doğrulanmış mıdır ?

d.) SET ve RESET kontrolleri ne zaman etkili olmaktadır? Bu kontroller J-K, CLK' girişlerinden daha öncelikli midir?